

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-190535

(43) 公開日 平成8年(1996)7月23日

(51) Int. Cl.<sup>5</sup>

G 0 6 F 15/16

識別記号

3 8 0 Z

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数10 O L (全 17 頁)

(21) 出願番号 特願平7-67

(22) 出願日 平成7年(1995)1月4日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 水野 正之

東京都港区芝五丁目7番1号 日本電気株式会社内

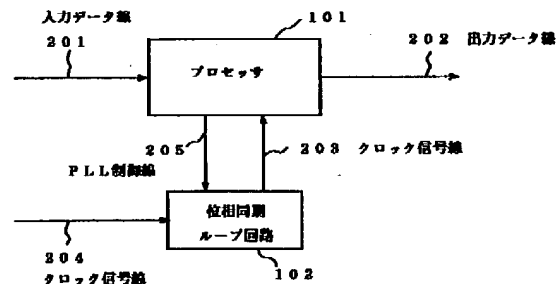
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 要素プロセッサおよび電力分散マルチプロセッサ

(57) 【要約】

【目的】 無駄な消費電力を削減する電力分散マルチプロセッサを提供する。

【構成】 プロセッサ101は、処理の負荷が大きいとき、位相同期ループ回路102を制御し、クロック周波数を増加させる。また、処理の負荷が小さいとき、同様に位相同期ループ回路を制御し、クロック周波数を減少させる。位相同期ループ回路は、クロック信号線204から与えられる信号に同期し、周波数がN倍、またはN分の1倍の信号を生成する。周波数の増減はPLL制御線205を通してプロセッサ101が行う。本発明のマルチプロセッサでは、各要素プロセッサの負荷に応じて各要素プロセッサがその動作速度を決定する。定常状態では、各要素プロセッサは常に処理を行っている状態となり、非動作状態が存在しない。従って、動作状態と非動作状態を移行するための無駄な処理、およびそのための無駄な電力、さらには、非動作状態が存在しないため、そのための無駄な電力を消費しない。



## 【特許請求の範囲】

【請求項1】入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、  
クロック信号線から入力されるクロック信号に同期し、  
前記プロセッサからのPLL制御線によってその周波数が変化するクロック信号を生成する位相同期ループ回路とを備え、  
前記位相同期ループ回路の出力クロック信号をクロック信号として前記プロセッサが動作することを特徴とする要素プロセッサ。

【請求項2】入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、  
前記プロセッサからのVCO制御線によってその発振周波数が変化するクロック信号を生成する外部周波数制御型発振器とを備え、  
前記外部周波数制御型発振器の出力クロック信号をクロック信号として前記プロセッサが動作することを特徴とする要素プロセッサ。

【請求項3】入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、  
前記プロセッサからのDDC制御線によって第1の電源から第3の電圧を生成するDC-DCコンバータとを備え、  
前記DC-DCコンバータが生成する第3の電圧と第2の電源の出力電圧との電位差を電源電圧として前記プロセッサが動作することを特徴とする要素プロセッサ。

【請求項4】入力データ線から得られるデータを処理し第1の出力データ線に出力するプロセッサと、  
第1の出力データ線から得られるデータを蓄え、第2の出力データ線に出力するFIFOバッファと、  
クロック信号線から入力されるクロック信号に同期し、  
前記プロセッサからのPLL制御線によってその周波数が変化するクロック信号を生成する位相同期ループ回路とを備え、  
前記位相同期ループ回路の出力クロック信号をクロック信号として前記プロセッサが動作し、  
前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記PLL制御線を通して前記位相同期ループ回路を制御することを特徴とする要素プロセッサ。

【請求項5】入力データ線から得られるデータを処理し第1の出力データ線に出力するプロセッサと、  
第1の出力データ線から得られるデータを蓄え、第2の出力データ線に出力するFIFOバッファと、  
前記プロセッサからのVCO制御線によってその発振周波数が変化するクロック信号を生成する外部周波数制御型発振器とを備え、  
前記外部周波数制御型発振器の出力クロック信号をクロック信号として前記プロセッサが動作し、  
前記FIFOバッファに貯まっているデータ量をFIFO

O観測線により前記プロセッサに入力し、前記プロセッサが前記VCO制御線を通して前記外部周波数制御型発振器を制御することを特徴とする要素プロセッサ。

【請求項6】入力データ線から得られるデータを処理し第1の出力データ線に出力するプロセッサと、  
第1の出力データ線から得られるデータを蓄え、第2の出力データ線に出力するFIFOバッファと、  
前記プロセッサからのDDC制御線によって第1の電源から第3の電圧を生成するDC-DCコンバータとを備え、

10 前記DC-DCコンバータが生成する第3の電圧と第2の電源の出力電圧との電位差を電源電圧として前記プロセッサが動作し、  
前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記DDC制御線を通して前記DC-DCコンバータを制御することを特徴とする要素プロセッサ。

【請求項7】第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、  
20 第2の入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、  
クロック信号線から入力されるクロック信号に同期し、  
前記プロセッサからのPLL制御線によってその周波数が変化するクロック信号を生成する位相同期ループ回路とを備え、

前記位相同期ループ回路の出力クロック信号をクロック信号として前記プロセッサが動作し、  
前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記PLL制御線を通して前記位相同期ループ回路を制御することを特徴とする要素プロセッサ。  
30 【請求項8】第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、  
第1の入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、  
前記プロセッサからのVCO制御線によってその発振周波数が変化するクロック信号を生成する外部周波数制御型発振器とを備え、

前記外部周波数制御型発振器の出力クロック信号をクロック信号として前記プロセッサが動作し、  
前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記VCO制御線を通して前記外部周波数制御型発振器を制御することを特徴とする要素プロセッサ。  
40 【請求項9】第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、  
第1の入力データ線から得られるデータを処理し出力デ

【請求項9】第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、  
50 第1の入力データ線から得られるデータを処理し出力デ

ータ線に出力するプロセッサと、  
前記プロセッサからのDDC制御線によって第1の電源  
から第3の電圧を生成するDC-DCコンバータとを備  
え、  
前記DC-DCコンバータが生成する第3の電圧と第2  
の電源の出力電圧との電位差を電源電圧として前記プロ  
セッサが動作し、  
前記FIFOバッファに貯まっているデータ量をFIFO  
観測線により前記プロセッサに入力し、前記プロセッ  
サが前記DDC制御線を通して前記DC-DCコンバー  
タを制御することを特徴とする要素プロセッサ。

【請求項10】請求項1～9のいずれかに記載の要素プロ  
セッサを複数個用意し、相互にそれぞれの出力データ  
線と入力データ線を接続し、前記の複数個の要素プロセ  
ッサが協調してある情報処理を行い、各要素プロセッサ  
の負荷に応じてその要素プロセッサの動作速度が制御さ  
れることを特徴とする電力分散マルチプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の要素プロセッサ  
を複数個使用し、各要素プロセッサが協調しある情報処  
理を行うマルチプロセッサにおいて、消費電力の低減と  
負荷分散および電力分散に関するものである。

【0002】

【従来の技術】従来のマルチプロセッサを構成する要素  
プロセッサを図16に示す。プロセッサ101は、クロ  
ック信号線203から入力されるクロック信号に同期  
し、入力データ線201から得られるデータを処理し出  
力データ線202に出力する。このような従来の要素プロ  
セッサでは、その要素プロセッサの負荷、あるいは、  
そのプロセッサに接続された要素プロセッサの負荷によ  
り、動作周波数が変化しなかった。

【0003】

【発明が解決しようとする課題】ある情報処理をマルチ  
プロセッサで処理する場合、各要素プロセッサにその負  
荷を均等に割り当てなければならない。しかし、現実  
には、各要素プロセッサに負荷の重さのばらつきが生じ  
た。従って、このように負荷が各要素プロセッサに均等  
に分散されていない状態では、要素プロセッサに処理を  
行っていない非動作状態が存在し、その期間にはその要  
素プロセッサで無駄な電力を消費した。また、負荷が分  
散されていない要素プロセッサが動作状態と非動作状態  
を短い周期で繰り返すような場合、その動作切り替えに  
要する処理のオーバーヘッドと、無駄な消費電力の増大を  
招いた。

【0004】本発明の目的は、無駄な消費電力を削減でき  
る要素プロセッサを提供することにある。

【0005】本発明の他の目的は、各要素プロセッサに  
負荷の重さのばらつきが生じて、無駄な消費電力を削減  
できるマルチプロセッサを提供することにある。

【0006】

【課題を解決するための手段】本発明の要素プロセッサ  
は、入力データ線から得られるデータを処理し出力デー  
タ線に出力するプロセッサと、クロック信号線から入力  
されるクロック信号に同期し、前記プロセッサからのPLL  
制御線によってその周波数が変化するクロック信号を  
生成する位相同期ループ回路とを備え、前記位相同期  
ループ回路の出力クロック信号をクロック信号として前  
記プロセッサが動作することを特徴とする。

10 【0007】また、本発明の要素プロセッサは、入力デ  
ータ線から得られるデータを処理し出力データ線に出力  
するプロセッサと、前記プロセッサからのVCO制御線  
によってその発振周波数が変化するクロック信号を生成  
する外部周波数制御型発振器とを備え、前記外部周波数  
制御型発振器の出力クロック信号をクロック信号として  
前記プロセッサが動作することを特徴とすることもでき  
る。

【0008】また、本発明の要素プロセッサは、入力デ  
ータ線から得られるデータを処理し出力データ線に出力  
するプロセッサと、前記プロセッサからのDDC制御線  
によって第1の電源から第3の電圧を生成するDC-D  
Cコンバータとを備え、前記DC-DCコンバータが生  
成する第3の電圧と第2の電源の出力電圧との電位差を  
電源電圧として前記プロセッサが動作することを特徴と  
することもできる。

【0009】また、本発明の要素プロセッサは、入力デ  
ータ線から得られるデータを処理し第1の出力データ線  
に出力するプロセッサと、第1の出力データ線から得ら  
れるデータを蓄え、第2の出力データ線に出力するFIFO  
バッファと、クロック信号線から入力されるクロック  
信号に同期し、前記プロセッサからのPLL制御線によ  
ってその周波数が変化するクロック信号を生成する位  
相同期ループ回路とを備え、前記位相同期ループ回路の  
出力クロック信号をクロック信号として前記プロセッサ  
が動作し、前記FIFOバッファに貯まっているデータ  
量をFIFO観測線により前記プロセッサに入力し、前  
記プロセッサが前記PLL制御線を通して前記位相同期  
ループ回路を制御することを特徴とすることもできる。

40 【0010】また、本発明の要素プロセッサは、入力デ  
ータ線から得られるデータを処理し第1の出力データ線  
に出力するプロセッサと、第1の出力データ線から得ら  
れるデータを蓄え、第2の出力データ線に出力するFIFO  
バッファと、前記プロセッサからのVCO制御線によ  
ってその発振周波数が変化するクロック信号を生成す  
る外部周波数制御型発振器とを備え、前記外部周波数制  
御型発振器の出力クロック信号をクロック信号として前  
記プロセッサが動作し、前記FIFOバッファに貯まっ  
ているデータ量をFIFO観測線により前記プロセッサ  
に入力し、前記プロセッサが前記VCO制御線を通して  
前記外部周波数制御型発振器を制御することを特徴とす

ることもできる。

【0011】また、本発明の要素プロセッサは、入力データ線から得られるデータを処理し第1の出力データ線に出力するプロセッサと、第1の出力データ線から得られるデータを蓄え、第2の出力データ線に出力するFIFOバッファと、前記プロセッサからのDDC制御線によって第1の電源から第3の電圧を生成するDC-DCコンバータとを備え、前記DC-DCコンバータが生成する第3の電圧と第2の電源の出力電圧との電位差を電源電圧として前記プロセッサが動作し、前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記DDC制御線を通して前記DC-DCコンバータを制御することを特徴とすることもできる。

【0012】また、本発明の要素プロセッサは、第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、第2の入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、クロック信号線から入力されるクロック信号に同期し、前記プロセッサからのPLL制御線によってその周波数が変化するクロック信号を生成する位相同期ループ回路とを備え、前記位相同期ループ回路の出力クロック信号をクロック信号として前記プロセッサが動作し、前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記PLL制御線を通して前記位相同期ループ回路を制御することを特徴とすることもできる。

【0013】また、本発明の要素プロセッサは、第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、第1の入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、前記プロセッサからのVCO制御線によってその発振周波数が変化するクロック信号を生成する外部周波数制御型発振器とを備え、前記外部周波数制御型発振器の出力クロック信号をクロック信号として前記プロセッサが動作し、前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記VCO制御線を通して前記外部周波数制御型発振器を制御することを特徴とすることもできる。

【0014】また、本発明の要素プロセッサは、第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、第1の入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、前記プロセッサからのDDC制御線によって第1の電源から第3の電圧を生成するDC-DCコンバータとを備え、前記DC-DCコンバータが生成する第3の電圧と第2の電源の出力電圧との電位差を電源電圧として前記プロセッサが動作し、前記FIFOバッファに貯まっているデータ量をFIFO観測線により

前記プロセッサに入力し、前記プロセッサが前記DDC制御線を通して前記DC-DCコンバータを制御することを特徴とすることもできる。

【0015】また、本発明のマルチプロセッサは、前記の要素プロセッサを複数個用意し、相互にそれぞれの出力データ線と入力データ線を接続し、前記の複数個の要素プロセッサが協調してある情報処理を行い、各要素プロセッサの負荷に応じてその要素プロセッサの動作速度が制御されることを特徴とする。

【0016】

【作用】マルチプロセッサを構成する各要素プロセッサの動作速度を、その要素プロセッサの負荷、あるいはその要素プロセッサの出力データを受け取る要素プロセッサの負荷、あるいはその要素プロセッサに入力されるデータを生成する要素プロセッサの負荷によって変化させることで、各要素プロセッサの動作速度を独立に決定する。各要素プロセッサの動作速度を変える方法として、要素プロセッサに入力するクロック信号を同期位相ループ回路または外部周波数制御型発振器により変化させる方法、あるいはプロセッサの電源電圧をDC-DCコンバータにより変化させる方法がある。また、各要素プロセッサの負荷は、その要素プロセッサのプログラムにより判定する方法、あるいは入力に付いたFIFOバッファの状態による方法、あるいは出力に付いたFIFOバッファの状態による方法がある。

【0017】前記のようにして各要素プロセッサの動作速度を決定した場合、定常状態では各要素プロセッサは常に情報を処理している動作状態にある。すなわち、動作状態と非動作状態を切り替える処理が発生しない。また、各要素プロセッサはそのプロセッサに必要な速度で動作するため、無駄な消費電力を削減できる。

【0018】

【実施例】図1から図15を参照して本発明の実施例を説明する。

【0019】図1は、本発明の要素プロセッサの第1の実施例を示すブロック図である。

【0020】この実施例の要素プロセッサは、入力データ線201から得られるデータを処理し出力データ線202に出力するプロセッサ101と、クロック信号線204から入力されるクロック信号に同期し、プロセッサ101からのPLL制御線205によってその周波数が変化するクロック信号を生成する位相同期ループ回路102とを備え、プロセッサ101は、クロック信号線203を介して送られてくる位相同期ループ回路102の出力クロック信号をクロック信号として動作する。

【0021】図10に位相同期ループ回路102の構成を示す。この位相同期ループ回路102は、カウンタ109、110と、位相比較器106と、チャージポンプ回路107と、ローパスフィルタ回路108と、外部周波数制御型発振器103とから構成されている。

10

20

30

40

50

【0022】図11に、位相比較器106の構成を示す。この位相比較器は、図示のように接続された複数個のNAND回路により構成される。

【0023】図12に、チャージポンプ回路107の構成を示す。このチャージポンプ回路は、CMOSで構成されている。

【0024】図13にローパスフィルタ回路108の構成を示す。このローパスフィルタ回路は、抵抗とコンデンサとから構成されている。

【0025】図14に、外部周波数制御型発振器103 10の構成を示す。この発振器は、図示のように接続されたFETにより構成されている。

【0026】前記の要素プロセッサを複数個用意し、相互にそれぞれの出力データ線202と入力データ線201を接続する。複数個の要素プロセッサが協調して、ある情報処理を行うマルチプロセッサを構成する。プロセッサ101は、処理の負荷が大きいとき、位相同期ループ回路102を制御し、クロック周波数を増加させる。また、処理の負荷が小さいとき、同様に位相同期ループ回路102を制御し、クロック周波数を減少させる。位 20 相同期ループ回路102は、クロック信号線204から与えられる信号に同期し、周波数がN倍、またはN分の1倍のクロック信号を生成する。周波数の増減は、PLL制御線205を通してプロセッサ101が行う。

【0027】プロセッサ101が負荷の量を判定する方法として、例えば次の方法がある。すなわち、各要素プロセッサは、その要素プロセッサに割り当てられたある処理単位を処理した後に、その処理結果を出力すると同時にパイロットデータを出力する。要素プロセッサ 30 が、ある処理単位を実行中にパイロットデータを少なくとも2つ入力した場合、その要素プロセッサは負荷が重いと判断する。一方、ある処理単位を実行中に1つのパイロットデータも入力しない場合、その要素プロセッサは負荷が軽いと判断する。

【0028】従来のマルチプロセッサでは、負荷の分散方法について決定的なものがなく、各要素プロセッサに負荷の不均衡が生じた。すなわち、ある要素プロセッサは負荷が重く、別の要素プロセッサは負荷が軽くなってしまった。このような場合、全体の処理速度は、負荷の一番重い要素プロセッサによって決定されることが多く、出力のスループットの低下も招いた。また、このような負荷が不均衡な状態では、各要素プロセッサに、処理を行っている状態、すなわち動作状態と、処理を行っていない状態、すなわち非動作状態が存在し、相互の状態を移動するのに要する無駄な処理、およびそのための無駄な電力消費が生じた。さらに、非動作状態では、無駄な電力を消費した。

【0029】本発明の電力分散マルチプロセッサでは、前述のとおり各要素プロセッサの負荷に応じて各要素プロセッサがその動作速度を決定する。定常状態では、各 50

要素プロセッサは常に処理を行っている状態となり、非動作状態が存在しない。従って、動作状態と非動作状態を移行するための無駄な処理、およびそのための無駄な電力、さらには、非動作状態が存在しないため、そのための無駄な電力を消費しない。

【0030】すなわち、従来のマルチプロセッサは負荷の分散が難しかったが、本実施例の電力分散マルチプロセッサでは、ある程度の負荷の不均衡をそのプロセッサの動作速度を変化させることで補い、また、負荷の重い要素プロセッサには、その処理を行うのに必要な電力を自立的に供給できる。すなわち、電力の観点からは、完全な電力分散が行われる。

【0031】図2は、本発明の要素プロセッサの第2の実施例を示すブロック図である。

【0032】この要素プロセッサは、入力データ線201から得られるデータを処理し出力データ線202に出力するプロセッサ201と、プロセッサ201からのVCO制御線206によってその発振周波数が変化するクロック信号を生成する外部周波数制御型発振器103とを備え、外部周波数制御型発振器103の出力クロック信号をクロック信号としてプロセッサ101が動作する。

【0033】外部周波数制御型発振器103は、図14に示した発振器を用いる。

【0034】前記の要素プロセッサを複数個用意し、相互にそれぞれの出力データ線と入力データ線を接続する。複数個の要素プロセッサが協調して、ある情報処理を行うマルチプロセッサを構成する。プロセッサ101は、処理の負荷が大きいとき、外部周波数制御型発振器103を制御し、クロック周波数を増加させる。また、処理の負荷が小さいとき、同様に外部周波数制御型発振器103を制御し、クロック周波数を減少させる。周波数の増減はVCO制御線206を通してプロセッサ101が行う。

【0035】本実施例の電力分散マルチプロセッサでは、前述のとおり各要素プロセッサの負荷に応じて各要素プロセッサがその動作速度を決定する。定常状態では、各要素プロセッサは常に処理を行っている状態となり、前記の非動作状態が存在しない。従って、動作状態と非動作状態を移行するための無駄な処理、およびそのための無駄な電力、さらには、非動作状態が存在しないため、そのための無駄な電力を消費しない。

【0036】図3は、本発明の要素プロセッサの第3の実施例を示すブロック図である。

【0037】この要素プロセッサは、入力データ線201から得られるデータを処理し出力データ線202に出力するプロセッサ101と、プロセッサ101からのDC制御線207によって第1の電源から第3の電圧を生成するDC-DCコンバータ104を備え、この第3の電圧は電源線208を経て、プロセッサ101に供給

される。DC-DCコンバータ104が生成する第3の電圧と第2の電源の出力電圧との電位差を電源電圧としてプロセッサ101が動作する。

【0038】図15に、DC-DCコンバータ104の構成を示す。このコンバータは、FETと差動アンプとで構成されている。

【0039】前記の要素プロセッサを複数個用意し、相互にそれぞれの出力データ線と入力データ線を接続する。複数個の要素プロセッサが協調して、ある情報処理を行うマルチプロセッサを構成する。プロセッサ101は、処理の負荷が大きいとき、DC-DCコンバータ104を制御し、プロセッサ101にかかる電源電圧を増加させる。また、処理の負荷が小さいとき、同様にDC-DCコンバータ104を制御し、電源電圧を減少させる。電源電圧の増減はDDC制御線207を通してプロセッサ101が行う。すなわち、これはプロセッサを構成する半導体集積回路の処理能力が、電源電圧が高くなると上がり、電源電圧が低くなると下がることを利用している。

【0040】本実施例の電力分散マルチプロセッサでは、前述のとおり各要素プロセッサの負荷に応じて各要素プロセッサがその動作速度を決定する。定常状態では、各要素プロセッサは常に処理を行っている状態となり、前記の非動作状態が存在しない。従って、動作状態と非動作状態を移行するための無駄な処理、およびそのための無駄な電力、さらには、非動作状態が存在しないため、そのための無駄な電力を消費しない。

【0041】図4は、本発明の要素プロセッサの第4の実施例を示すブロック図である。

【0042】この要素プロセッサは、入力データ線201から得られるデータを処理し第1の出力データ線209に出力するプロセッサ101と、第1の出力データ線209から得られるデータを蓄え、第2の出力データ線202に出力するFIFOバッファ105と、クロック信号線204から入力されるクロック信号に同期し、プロセッサ101からのPLL制御線205によってその周波数が変化するクロック信号を生成する位相同期ループ回路102とを備え、位相同期ループ回路102の出力クロック信号をクロック信号としてプロセッサ101が動作し、FIFOバッファ105に貯まっているデータ量をFIFO観測線210によりプロセッサ101に

入力し、プロセッサ101がPLL制御線205を通して位相同期ループ回路102を制御する。

【0043】位相同期ループ回路102は、図10に示した回路を用いる。

【0044】前記の要素プロセッサを複数個用意し、相互にそれぞれの第2の出力データ線202と入力データ線201を接続する。複数個の要素プロセッサが協調して、ある情報処理を行うマルチプロセッサを構成する。プロセッサ101は、処理の負荷が大きいとき、位相同

期ループ回路102を制御し、クロック周波数を増加させる。また、処理の負荷が小さいとき、同様に位相同期ループ回路102を制御し、クロック周波数を減少させる。位相同期ループ回路102は、クロック信号線204から与えられる信号に同期し、周波数がN倍、またはN分の1倍のクロック信号を生成する。周波数の増減はPLL制御線205を通してプロセッサ101が行う。

【0045】プロセッサ101が負荷の量を判定する方法として、FIFOバッファ105に貯まっているデータ量を用いる。データ量はFIFO観測線210を通してプロセッサ101が知ることができる。すなわち、FIFOバッファ105にデータが貯まっているとき、第2の出力データ線202につながる次段の要素プロセッサの負荷が重いことを示すため、プロセッサ101は負荷が軽いと判断する。一方、FIFOバッファ105にデータが貯まっていないとき、第2の出力データ線202につながる次段の要素プロセッサに余裕があり負荷が軽いことを示すため、プロセッサ101は負荷が重い

と判断する。

【0046】本実施例の電力分散マルチプロセッサでは、前述のとおり各要素プロセッサの負荷に応じて各要素プロセッサがその動作速度を決定する。定常状態では、各要素プロセッサは常に処理を行っている状態となり、前記の非動作状態が存在しない。従って、動作状態と非動作状態を移行するための無駄な処理、およびそのための無駄な電力、さらには、非動作状態が存在しないため、そのための無駄な電力を消費しない。

【0047】図5は、本発明の要素プロセッサの第5の実施例を示すブロック図である。

【0048】この要素プロセッサは、入力データ線201から得られるデータを処理し第1の出力データ線209に出力するプロセッサ101と、第1の出力データ線209から得られるデータを蓄え、第2の出力データ線202に出力するFIFOバッファ105と、プロセッサ101からのVCO制御線206によってその発振周波数が変化するクロック信号を生成する外部周波数制御型発振器103とを備え、外部周波数制御型発振器103の出力クロック信号をクロック信号としてプロセッサ101が動作し、FIFOバッファ105に貯まっているデータ量をFIFO観測線210によりプロセッサ101に

入力し、プロセッサ101がVCO制御線206を通して外部周波数制御型発振器103を制御する。

【0049】外部周波数制御型発振器103には、図14に示した発振器を用いる。

【0050】前記の要素プロセッサを複数個用意し、相互にそれぞれの出力データ線と入力データ線を接続する。複数個の要素プロセッサが協調して、ある情報処理を行うマルチプロセッサを構成する。プロセッサ101は、処理の負荷が大きいとき、外部周波数制御型発振器103を制御し、クロック周波数を増加させる。また、

11

処理の負荷が小さいとき、同様に外部周波数制御型発振器103を制御し、クロック周波数を減少させる。周波数の増減はVCO制御線206を通してプロセッサ101が行う。

【0051】本発明の電力分散マルチプロセッサでは、前述のとおり各要素プロセッサの負荷に応じて各要素プロセッサがその動作速度を決定する。定常状態では、各要素プロセッサは常に処理を行っている状態となり、前記の非動作状態が存在しない。従って、動作状態と非動作状態を移行するための無駄な処理、およびそのための無駄な電力、さらには、非動作状態が存在しないため、そのための無駄な電力を消費しない。

【0052】図6は、本発明の要素プロセッサの第6の実施例を示すブロック図である。

【0053】この要素プロセッサは、入力データ線201から得られるデータを処理し第1の出力データ線209に出力するプロセッサ101と、第1の出力データ線209から得られるデータを蓄え、第2の出力データ線202に出力するFIFOバッファ105と、プロセッサ101からのDDC制御線207によって第1の電源から第3の電圧を生成するDC-DCコンバータ104を備え、この第3の電圧は電源線208を経て、プロセッサ101に供給される。DC-DCコンバータ104が生成する第3の電圧と第2の電源の出力電圧との電位差を電源電圧としてプロセッサ101が動作し、FIFOバッファ105に貯まっているデータ量をFIFO観測線210によりプロセッサ101に入力し、プロセッサ101がDDC制御線207を通してDC-DCコンバータ104を制御する。

【0054】DC-DCコンバータ104は、図15に示したものをを用いる。

【0055】前記の要素プロセッサを複数個用意し、相互にそれぞれの出力データ線と入力データ線を接続する。複数個の要素プロセッサが協調して、ある情報処理を行うマルチプロセッサを構成する。プロセッサ101は、処理の負荷が大きいとき、DC-DCコンバータ104を制御し、プロセッサ101にかかる電源電圧を増加させる。また、処理の負荷が小さいとき、同様にDC-DCコンバータ104を制御し、電源電圧を減少させる。電源電圧の増減はDDC制御線207を通してプロセッサ101が行う。すなわち、これはプロセッサを構成する半導体集積回路の処理能力が、電源電圧が高くなると上がり、電源電圧が低くなると下がることを利用している。

【0056】本実施例の電力分散マルチプロセッサでは、前述のとおり各要素プロセッサの負荷に応じて各要素プロセッサがその動作速度を決定する。定常状態では、各要素プロセッサは常に処理を行っている状態となり、前記の非動作状態が存在しない。従って、動作状態と非動作状態を移行するための無駄な処理、およびその

12

ための無駄な電力、さらには、非動作状態が存在しないため、そのための無駄な電力を消費しない。

【0057】図7は、本発明の要素プロセッサの第7の実施例を示すブロック図である。

【0058】この要素プロセッサは、第1の入力データ線201から得られるデータを蓄え、第2の入力データ線211に出力するFIFOバッファ105と、第2の入力データ線211から得られるデータを処理し出力データ線202に出力するプロセッサ101と、クロック信号線204から入力されるクロック信号に同期し、プロセッサ101からのPLL制御線205によってその周波数が変化するクロック信号を生成する位相同期ループ回路102とを備え、位相同期ループ回路102のクロック信号線203からの出力クロック信号をクロック信号としてプロセッサ101が動作し、FIFOバッファ105に貯まっているデータ量をFIFO観測線210によりプロセッサ101に入力し、プロセッサ101がPLL制御線205を通して位相同期ループ回路102を制御する。

【0059】位相同期ループ回路102は、図10に示した回路を用いる。

【0060】前記の要素プロセッサを複数個用意し、相互にそれぞれの第2の出力データ線202と入力データ線201を接続する。複数個の要素プロセッサが協調して、ある情報処理を行うマルチプロセッサを構成する。プロセッサ101は、処理の負荷が大きいとき、位相同期ループ回路102を制御し、クロック周波数を増加させる。また、処理の負荷が小さいとき、同様に位相同期ループ回路102を制御し、クロック周波数を減少させる。位相同期ループ回路102は、クロック信号線204から与えられる信号に同期し、周波数がN倍、またはN分の1倍のクロック信号を生成する。周波数の増減はPLL制御線205を通してプロセッサ101が行う。

【0061】プロセッサ101が負荷の量を判定する方法として、FIFOバッファ105に貯まっているデータ量を用いる。データ量はFIFO観測線210を通してプロセッサ101が知ることができる。すなわち、FIFOバッファ105にデータが貯まっているとき、第1の入力データ線201につながる前段の要素プロセッサの負荷が軽いことを示すため、プロセッサ101は負荷が重いとは判断する。一方、FIFOバッファ105にデータが貯まっていないとき、第1の入力データ線201につながる前段の要素プロセッサの負荷が重いことを示すため、プロセッサ101は負荷が軽いとは判断する。

【0062】本実施例の電力分散マルチプロセッサでは、前述のとおり各要素プロセッサの負荷に応じて各要素プロセッサがその動作速度を決定する。定常状態では、各要素プロセッサは常に処理を行っている状態となり、前記の非動作状態が存在しない。従って、動作状態と非動作状態を移行するための無駄な処理、およびその

ための無駄な電力、さらには、非動作状態が存在しないため、そのための無駄な電力を消費しない。

【0063】図8は、本発明の要素プロセッサの第8の実施例を示すブロック図である。

【0064】この要素プロセッサは、第1の入力データ線201から得られるデータを蓄え、第2の入力データ線211に出力するFIFOバッファ105と、第1の入力データ線211から得られるデータを処理し出力データ線202に出力するプロセッサ101と、プロセッサ101からのVCO制御線206によってその発振周波数が変化するクロック信号を生成する外部周波数制御型発振器103とを備え、外部周波数制御型発振器103のクロック信号線203からの出力クロック信号をクロック信号としてプロセッサ101が動作し、FIFOバッファ105に貯まっているデータ量をFIFO観測線210によりプロセッサ101に入力し、プロセッサ101がVCO制御線206を通して前記外部周波数制御型発振器103を制御する。

【0065】外部周波数制御型発振器103には、図14に示した発振器を用いる。

【0066】前記の要素プロセッサを複数個用意し、相互にそれぞれの出力データ線と入力データ線を接続する。複数個の要素プロセッサが協調して、ある情報処理を行うマルチプロセッサを構成する。プロセッサ101は、処理の負荷が大きいつき、外部周波数制御型発振器103を制御し、クロック周波数を増加させる。また、処理の負荷が小さいとき、同様に外部周波数制御型発振器103を制御し、クロック周波数を減少させる。周波数の増減はVCO制御線206を通してプロセッサ101が行う。

【0067】本実施例の電力分散マルチプロセッサでは、前述のとおり各要素プロセッサの負荷に応じて各要素プロセッサがその動作速度を決定する。定常状態では、各要素プロセッサは常に処理を行っている状態となり、前記の非動作状態が存在しない。従って、動作状態と非動作状態を移行するための無駄な処理、およびそのための無駄な電力、さらには、非動作状態が存在しないため、そのための無駄な電力を消費しない。

【0068】図9は、本発明の要素プロセッサの第9の実施例を示すブロック図である。

【0069】この要素プロセッサは、第1の入力データ線201から得られるデータを蓄え、第2の入力データ線211に出力するFIFOバッファ105と、第1の入力データ線211から得られるデータを処理し出力データ線202に出力するプロセッサ101と、プロセッサ101からのDDC制御線207によって第1の電源から第3の電圧を生成するDC-DCコンバータ104とを備え、この第3の電圧は電源線208を経て、プロセッサ101に供給される。DC-DCコンバータ104が生成する第3の電圧と第2の電源の出力電圧との電

位差を電源電圧としてプロセッサ101が動作し、FIFOバッファ105に貯まっているデータ量をFIFO観測線210によりプロセッサ101に入力し、プロセッサ101がDDC制御線207を通してDC-DCコンバータ104を制御する。

【0070】DC-DCコンバータ104には、図15に示したものをを用いる。

【0071】前記の要素プロセッサを複数個用意し、相互にそれぞれの出力データ線と入力データ線を接続する。複数個の要素プロセッサが協調して、ある情報処理を行うマルチプロセッサを構成する。プロセッサ101は、処理の負荷が大きいつき、DC-DCコンバータ104を制御し、プロセッサ101にかかる電源電圧を増加させる。また、処理の負荷が小さいとき、同様にDC-DCコンバータ104を制御し、電源電圧を減少させる。電源電圧の増減はDDC制御線207を通してプロセッサ101が行う。

【0072】本実施例の電力分散マルチプロセッサでは、前述のとおり各要素プロセッサの負荷に応じて各要素プロセッサがその動作速度を決定する。定常状態では、各要素プロセッサは常に処理を行っている状態となり、前記の非動作状態が存在しない。従って、動作状態と非動作状態を移行するための無駄な処理、およびそのための無駄な電力、さらには、非動作状態が存在しないため、そのための無駄な電力を消費しない。

【0073】すなわち、従来のマルチプロセッサは負荷の分散が難しかったが、本実施例の電力分散マルチプロセッサでは、ある程度の負荷の不均衡をそのプロセッサの動作速度を変化させることで補い、また、負荷の重い要素プロセッサには、その処理を行うのに必要な電力を自立的に供給できる。すなわち、電力の観点からは、完全な電力分散が行われる。

【0074】

【発明の効果】以上説明したように、ある情報処理をマルチプロセッサで処理する場合、各要素プロセッサにその負荷を均等に割り当てなければならない。しかし、現実には、各要素プロセッサに負荷の重さのばらつきが生じた。従って、このように負荷が各要素プロセッサに均等に分散されていない状態では、要素プロセッサに処理を行っていない非動作状態が存在し、その期間にはその要素プロセッサで無駄な電力を消費した。また、負荷が分散されていない要素プロセッサが動作状態と非動作状態を短い周期で繰り返すような場合、その動作切り替えに要する処理のオーバーヘッドと、無駄な消費電力の増大を招いた。

【0075】本発明の電力分散マルチプロセッサでは、マルチプロセッサを構成する各要素プロセッサの動作速度を、その要素プロセッサの負荷、あるいはその要素プロセッサの出力データを受け取る要素プロセッサの負荷、あるいはその要素プロセッサに入力されるデータと



生成する要素プロセッサの負荷によって変化させることで、各要素プロセッサの動作速度を独立に決定する。

【0076】各要素プロセッサの動作速度を変える方法として、要素プロセッサに入力するクロック信号を同期位相ループ回路または外部周波数制御型発振器により変化させる方法、あるいはプロセッサの電源電圧をDC-DCコンバータにより変化させる方法がある。また、各要素プロセッサの負荷は、その要素プロセッサのプログラムにより判定する方法、あるいは入力に付いたFIFOバッファの状態による方法、あるいは出力に付いたFIFOバッファの状態による方法がある。

【0077】前記のようにして各要素プロセッサの動作速度を決定した場合、定常状態では各要素プロセッサは常に情報を処理している動作状態にある。すなわち、動作状態と非動作状態を切り替える処理が発生しない。また、各要素プロセッサはそのプロセッサに必要な速度で動作するため、無駄な消費電力を削減できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例の要素プロセッサのブロック構成を示した図である。

【図2】本発明の第2の実施例の要素プロセッサのブロック構成を示した図である。

【図3】本発明の第3の実施例の要素プロセッサのブロック構成を示した図である。

【図4】本発明の第4の実施例の要素プロセッサのブロック構成を示した図である。

【図5】本発明の第5の実施例の要素プロセッサのブロック構成を示した図である。

【図6】本発明の第6の実施例の要素プロセッサのブロック構成を示した図である。

【図7】本発明の第7の実施例の要素プロセッサのブロック構成を示した図である。

【図8】本発明の第8の実施例の要素プロセッサのブロック構成を示した図である。

【図9】本発明の第9の実施例の要素プロセッサのブロック構成を示した図である。

【図10】位相同期ループ回路の具体例を示した図である。

【図11】位相比較器の具体例を示した図である。

【図12】チャージポンプ回路の具体例を示した図である。

【図13】ローパスフィルタ回路の具体例を示した図である。

【図14】外部周波数制御型発振器の具体例を示した図である。

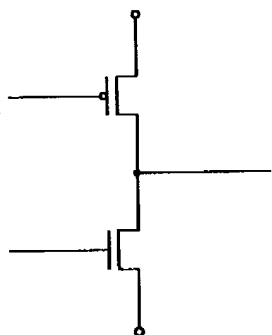
【図15】DC-DCコンバータの具体例を示した図である。

【図16】従来例の要素プロセッサのブロック構成を示した図である。

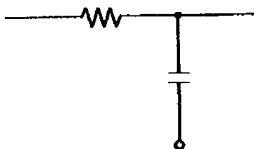
#### 【符号の説明】

- 101 プロセッサ
- 102 位相同期ループ回路
- 103 外部周波数制御型発振器
- 104 DC-DCコンバータ
- 105 FIFOバッファ
- 106 位相比較器
- 107 チャージポンプ回路
- 108 ローパスフィルタ回路
- 109, 110 カウンタ
- 201, 211 入力データ線
- 202, 209 出力データ線
- 203, 204 クロック信号線
- 205 PLL制御線
- 206 VCO制御線
- 207 DDC制御線
- 208 第3の電源線
- 210 FIFO観測線

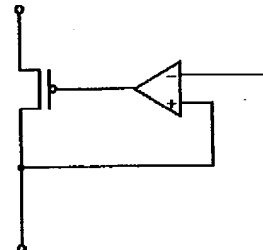
【図12】



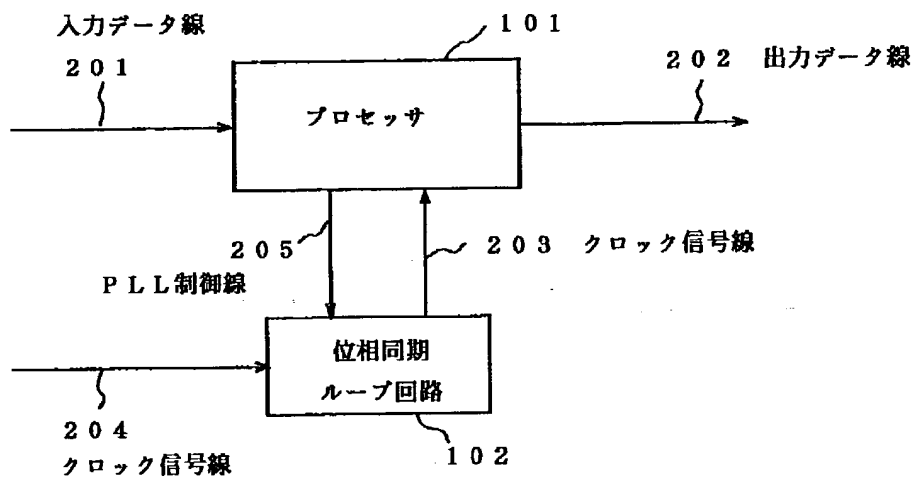
【図13】



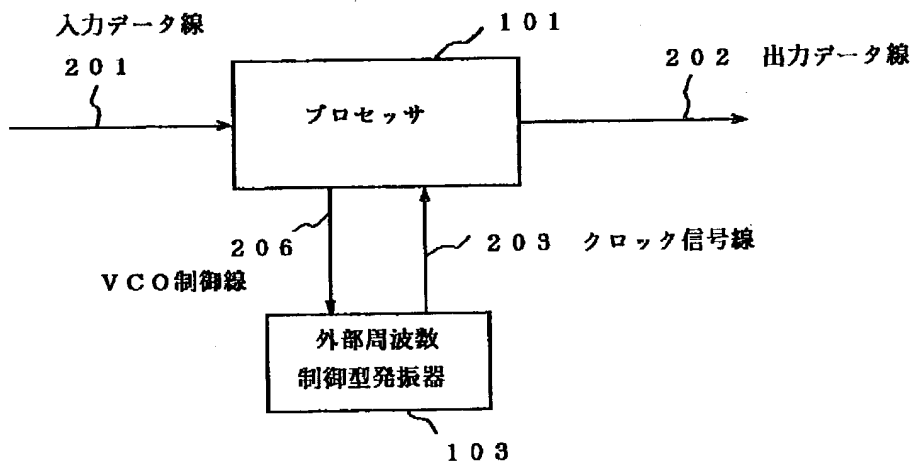
【図15】



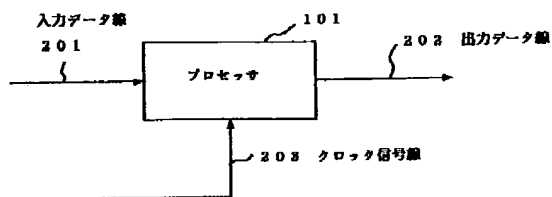
【図1】



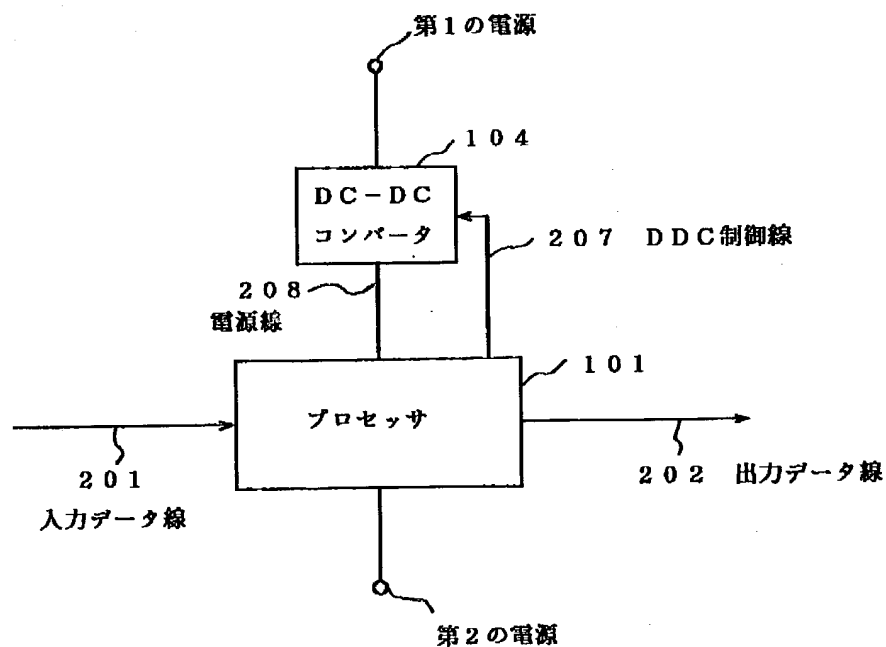
【図2】



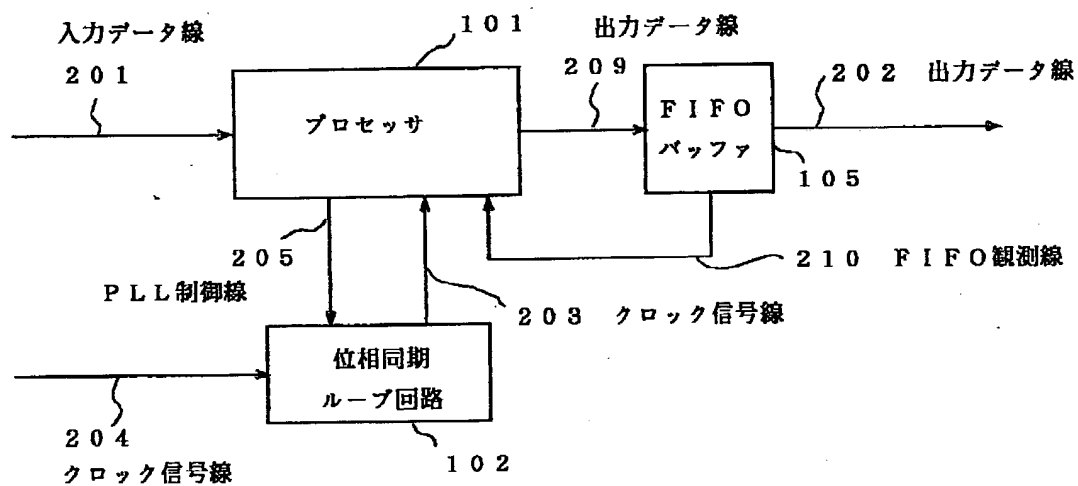
【図16】



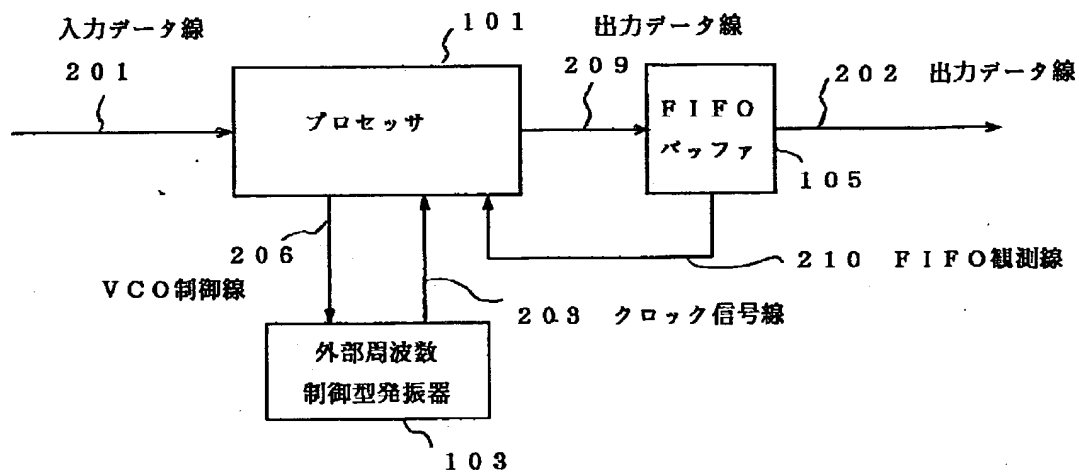
【図3】



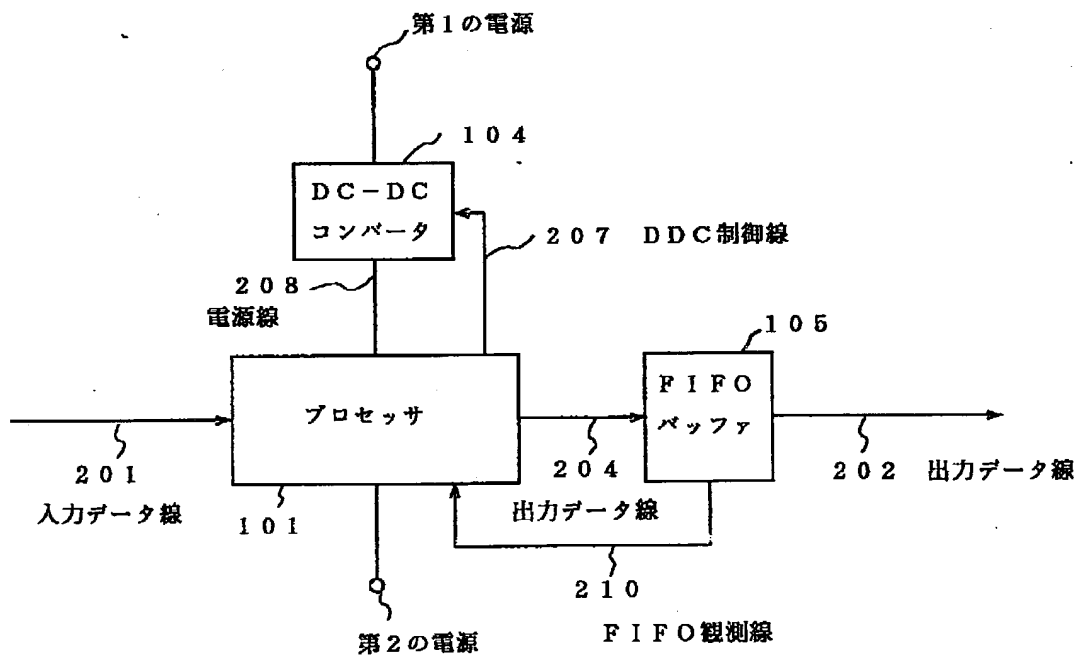
【図4】



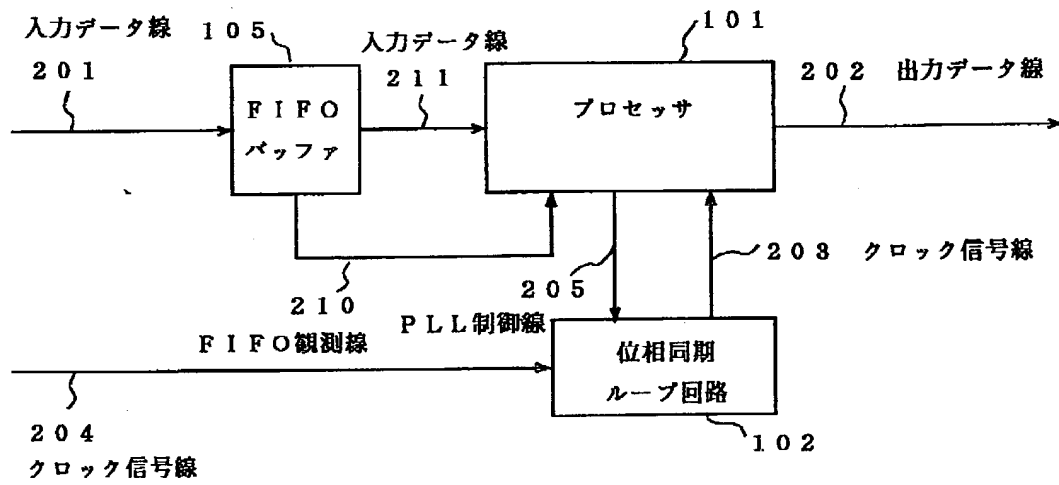
【図5】



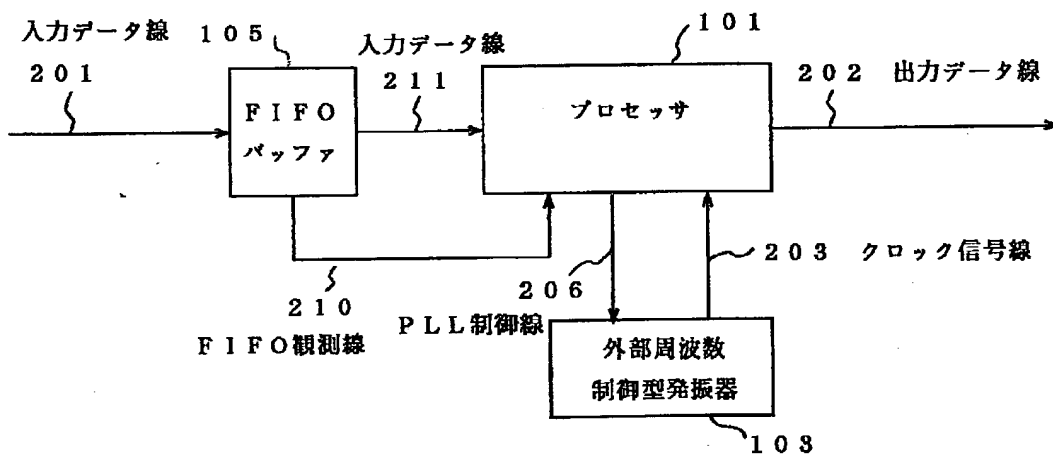
【図6】



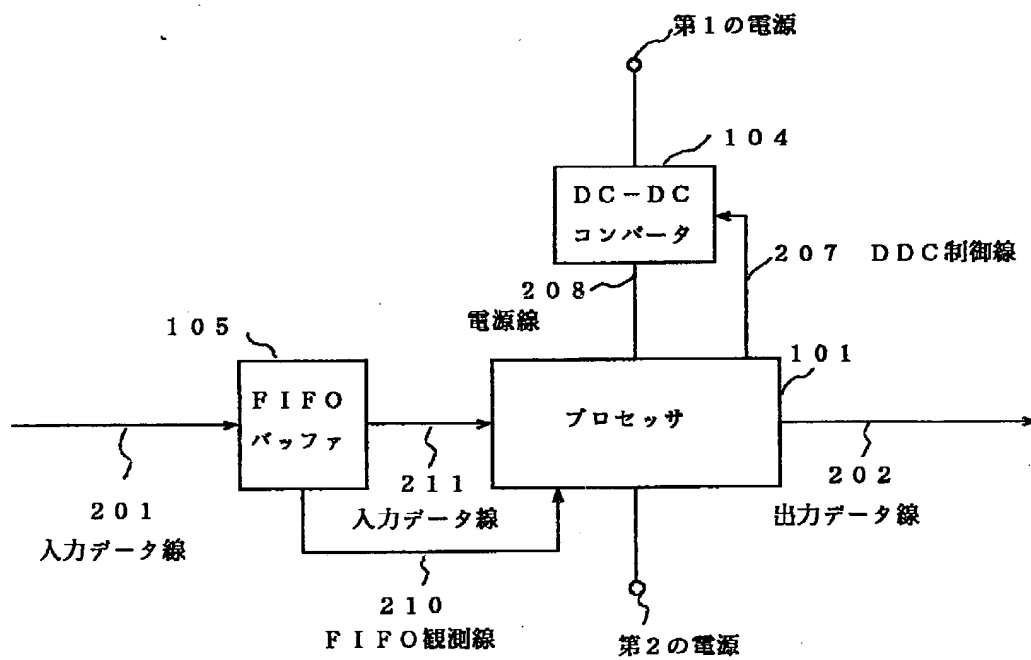
【図7】



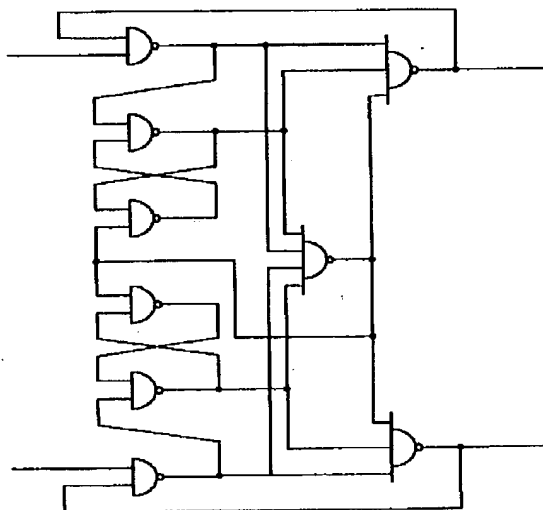
【図8】



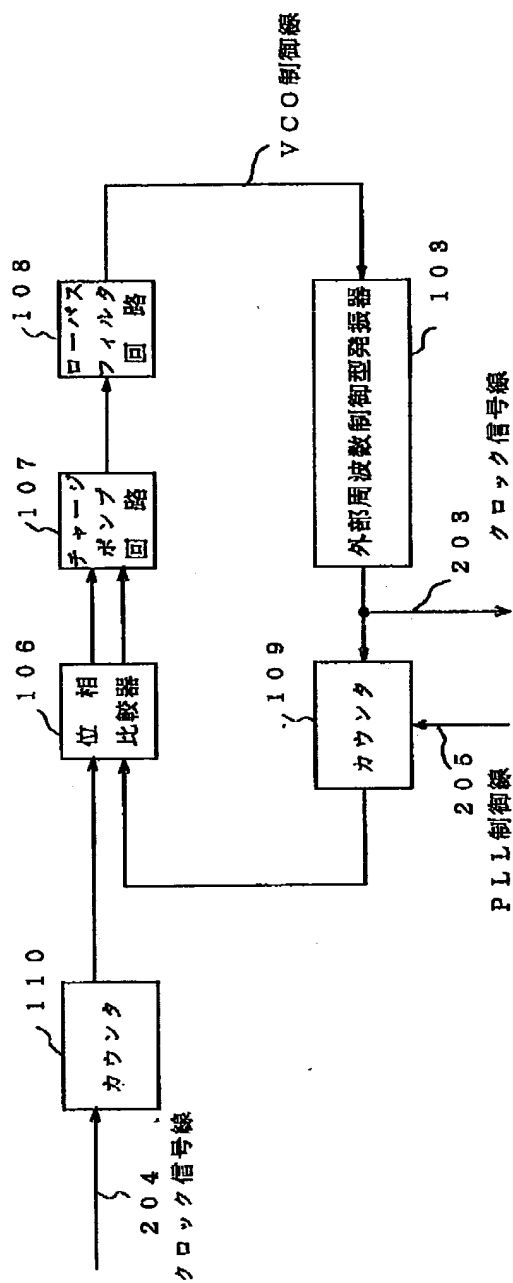
【図9】



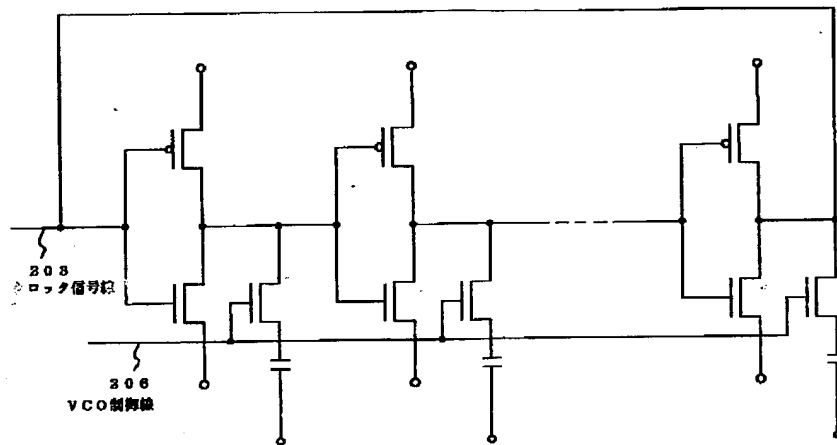
【図11】



【図10】



【図14】



## 【手続補正書】

【提出日】平成7年12月6日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

## 【補正内容】

【請求項8】第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、  
第2の入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、  
前記プロセッサからのVCO制御線によってその発振周波数が変化するクロック信号を生成する外部周波数制御型発振器とを備え、  
前記外部周波数制御型発振器の出力クロック信号をクロック信号として前記プロセッサが動作し、  
前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記VCO制御線を通して前記外部周波数制御型発振器を制御することを特徴とする要素プロセッサ。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項9

【補正方法】変更

## 【補正内容】

【請求項9】第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、  
第2の入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、

前記プロセッサからのDDC制御線によって第1の電源から第3の電圧を生成するDC-DCコンバータとを備え、

前記DC-DCコンバータが生成する第3の電圧と第2の電源の出力電圧との電位差を電源電圧として前記プロセッサが動作し、  
前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記DDC制御線を通して前記DC-DCコンバータを制御することを特徴とする要素プロセッサ。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

## 【補正内容】

【0013】また、本発明の要素プロセッサは、第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、第2の入力データ線から得られるデータを処理し出力データ線に出力するプロセッサと、前記プロセッサからのVCO制御線によってその発振周波数が変化するクロック信号を生成する外部周波数制御型発振器とを備え、前記外部周波数制御型発振器の出力クロック信号をクロック信号として前記プロセッサが動作し、前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記VCO制御線を通して前記外部周波数制御型発振器を制御することを特徴とすることもできる。



## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】また、本発明の要素プロセッサは、第1の入力データ線から得られるデータを蓄え、第2の入力データ線に出力するFIFOバッファと、第2の入力データ線から得られるデータを処理し出力データ線に出力す

るプロセッサと、前記プロセッサからのDDC制御線によって第1の電源から第3の電圧を生成するDC-DCコンバータとを備え、前記DC-DCコンバータが生成する第3の電圧と第2の電源の出力電圧との電位差を電源電圧として前記プロセッサが動作し、前記FIFOバッファに貯まっているデータ量をFIFO観測線により前記プロセッサに入力し、前記プロセッサが前記DDC制御線を通して前記DC-DCコンバータを制御することを特徴とすることもできる。